

Matsunaga et al  
Filed 12/1/03  
Q 76864  
10f1

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    1 月 3 1 日  
Date of Application:

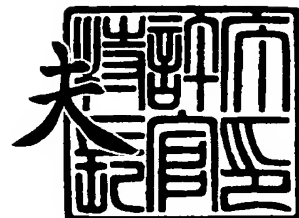
出 願 番 号                      特 願 2 0 0 3 - 0 2 4 4 7 3  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 2 4 4 7 3 ]

出      願      人                      日 本 電 気 株 式 有 限 公 司  
Applicant(s):

2 0 0 3 年    8 月    8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 6 3 9 4 3

【書類名】 特許願

【整理番号】 34803865

【提出日】 平成15年 1月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/786

【発明の名称】 薄膜トランジスタ、T F T基板、及び、液晶表示装置

【請求項の数】 13

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 松永 直記

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 世良 賢二

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100096231

    【弁理士】

    【氏名又は名称】 稲垣 清

    【電話番号】 03-5295-0851

【手数料の表示】

    【予納台帳番号】 029388

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9303567

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタ、T F T基板、及び、液晶表示装置

【特許請求の範囲】

【請求項 1】 導電性の第 1 遮光膜によって遮光される活性層を有する薄膜トランジスタであって、

前記第 1 遮光膜と前記活性層との間に第 2 遮光膜を有し、該第 2 遮光膜の、前記活性層に対向する表面部分のキャリア濃度が  $10^{17}/\text{cm}^3$  以下であることを特徴とする薄膜トランジスタ。

【請求項 2】 導電性の第 1 遮光膜によって遮光される活性層を有する薄膜トランジスタであって、

前記第 1 遮光膜と前記薄膜トランジスタの活性層との間に第 2 遮光膜を有し、該第 2 遮光膜の、前記活性層に対向する表面部分の電界強度が、前記第 1 遮光膜に対向する表面部分の電界強度の 8 0 % 以下としたことを特徴とする薄膜トランジスタ。

【請求項 3】 前記第 2 遮光膜と前記活性層との間の距離が 1 0 0 ~ 3 5 0 n m であることを特徴とする、請求項 2 に記載の薄膜トランジスタ。

【請求項 4】 前記活性層は、ソース領域とチャネル領域との間、及び、ドレイン領域とチャネル領域との間に、ソース領域及びドレイン領域と同じ導電型で且つソース領域及びドレイン領域よりも不純物濃度が低い低濃度キャリア領域を有し、前記第 2 遮光膜は、前記チャネル領域及び前記低濃度キャリア領域と、平面的に重なり合う部分を有することを特徴とする、請求項 1 から 3 の何れかに記載の薄膜トランジスタ。

【請求項 5】 前記第 2 遮光膜は、半絶縁性膜であることを特徴とする、請求項 1 から 4 の何れかに記載の薄膜トランジスタ。

【請求項 6】 前記第 2 遮光膜が光吸収性を有することを特徴とする、請求項 1 から 5 の何れかに記載の薄膜トランジスタ。

【請求項 7】 前記第 1 遮光膜と前記第 2 遮光膜との間に絶縁膜が配設されることを特徴とする 1 から 6 の何れかに記載の薄膜トランジスタ。

【請求項 8】 前記第 1 遮光膜と前記第 2 遮光膜とが接して形成されている

ことを特徴とする、請求項 1 から 6 の何れかに記載の薄膜トランジスタ。

【請求項 9】 光透過性基板と、該光透過性基板上に形成された複数の薄膜トランジスタから成るトランジスタアレイと、前記半導体透過性基板と前記薄膜トランジスタとの間に配設された導電性の第 1 遮光膜とを備える TFT 基板において、

前記第 1 遮光膜と前記薄膜トランジスタの活性層との間に第 2 遮光膜を有し、該第 2 遮光膜の、前記活性層に対向する表面部分のキャリア濃度が  $10^{17}/\text{cm}^3$  以下であることを特徴とする TFT 基板。

【請求項 10】 前記複数の薄膜トランジスタのそれぞれに対応して画素電極を備え、該画素電極は対応する薄膜トランジスタによって駆動されることを特徴とする、請求項 9 に記載の TFT 基板。

【請求項 11】 前記画素電極に並列に画素容量が接続されることを特徴とする、請求項 10 に記載の TFT 基板。

【請求項 12】 前記複数の薄膜トランジスタとは別の薄膜トランジスタを備え、該別の薄膜トランジスタには前記第 1 遮光膜及び第 2 遮光膜の何れもが配設されないことを特徴とする請求項 10 又は 11 に記載の TFT 基板。

【請求項 13】 請求項 10 ～ 12 の何れかに記載の TFT 基板と、該 TFT 基板に対向して配設される対向基板と、前記 TFT 基板と前記対向基板との間に配設された液晶層とを備えることを特徴とする液晶表示装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、薄膜半導体デバイス、液晶表示装置、及び、それらの製造方法に関し、特に、薄膜半導体デバイスのリーク電流を低減できる薄膜半導体デバイス、液晶表示装置、及び、それらの製造方法に関する。

##### 【0002】

#### 【従来の技術】

近年、OA (Office Automation) 機器用表示装置として、液晶表示装置を用いた各種の表示装置の開発が行われている。各種の液晶表示装置のなかでも、能

動素子である薄膜トランジスタ（TFT）をスイッチング素子として使用するアクティブマトリクス型液晶表示装置では、走査線数が増加した場合であっても、コントラストや応答速度があまり低下しないという利点がある。このため、高品位のOA機器用表示装置やハイビジョンTV用表示装置には、アクティブマトリクス型液晶表示装置が用いられることが多い。また、アクティブマトリクス型液晶表示装置を、プロジェクタ等の投射型表示装置のライトバルブとして使用した場合には、大画面表示が容易に得られるという利点がある。

#### 【0003】

液晶表示装置を、投射型表示装置のライトバルブとして使用する場合には、液晶表示装置は、光源と、光源からの光を投射する光学系との間に配置される。このとき、液晶表示装置は、光源が液晶表示装置の対向基板側に、光学系が液晶表示装置の薄膜半導体デバイス・アレイ基板（TFT基板）側になるように配置される。液晶表示装置は、光源から入射する比較的高輝度の光のうち、光学系側に透過する光の強度を、画面情報に基づいて制御する。より詳細には、液晶表示装置は、薄膜トランジスタをスイッチング駆動し、画素ごとに液晶層に印加する電界を制御して各画素の透過率を変化させることで、透過光の強度を調整する。液晶表示装置を通過した光は、レンズなどで構成された投影用の光学系を介して拡大投影される。

#### 【0004】

通常、アクティブマトリクス型液晶表示装置では、アモルファスシリコン（amorphous silicon）や多結晶シリコンなどの半導体層が、薄膜トランジスタの活性層として使用される。この活性層に光が入射すると、光励起によるリーク電流（光リーク電流）が発生し、コントラストの低下などによって、液晶表示装置の表示性能が低下する。特に、アクティブマトリクス型液晶表示装置を、投影型表示装置のライトバルブとして用いる場合には、液晶表示装置には高輝度の光が入射するため、発生する光リーク電流による影響が大きくなる。また、この場合、液晶表示装置には、光源からの光だけでなく、投影用の光学系で反射した光も薄膜トランジスタの活性層に入射するため、光リーク電流による影響は一層大きくなる。近年では、投射型表示装置の小型化や高輝度化が進んでおり、ライトバル

ブとして使用される液晶表示装置に入射する光の輝度が増加する傾向にある。このため、光リーク電流の問題はより深刻なものとなっている。

#### 【0005】

光リーク電流による影響を低減する技術として、例えば、特開平11-204587号公報や、特開平11-084422号公報には、薄膜トランジスタに入射する戻り光を遮光して、その光量を低減する技術が記載されている。図13は、このような従来の液晶表示装置の断面を示している。この液晶表示装置の画素部は、基板451上に順次に積層された第1ポリシリコン膜452a、シリサイド膜452b、第2ポリシリコン膜453、絶縁膜454、及び、その上に形成された薄膜トランジスタ456を有する。

#### 【0006】

基板451は、例えば石英基板、高歪点ガラス基板等からなる。第1ポリシリコン膜452a及びシリサイド膜452bは、第1遮光膜452を構成する。第1ポリシリコン膜452aは、基板451上に、50nm程度の膜厚で形成される。シリサイド膜452bは、高融点金属材料であるタングステン(W)を有し、第1ポリシリコン膜452a上に、例えば100nm程度の膜厚で形成される。第2ポリシリコン膜453は、第2遮光膜として構成され、第1遮光膜452上に、50nm程度の膜厚で形成される。絶縁膜454は、第2ポリシリコン膜453上の基板451の全面に、380nm程度の膜厚で形成される。薄膜トランジスタ456は、65nm程度の膜厚で絶縁膜454上に形成されたポリシリコン層455を活性層として含み、通常の液晶表示装置用薄膜トランジスタの製造方法と同様の製造方法により製造される。

#### 【0007】

図13に示す従来の液晶表示装置では、第1遮光膜452及び第2遮光膜453からなる積層膜により、ポリシリコン層（薄膜トランジスタの活性層）455に入射する光を防いでいる。第1遮光膜452では、光反射性を有するシリサイド膜452bによって、基板裏面側から薄膜トランジスタ456の活性層455に入射する光を防ぐ。また、光吸収性を有するポリシリコン膜からなる第2遮光膜453は、シリサイド膜452bで防ぎきれなかった、第1遮光膜452と活

性層 455 との間に侵入した光を吸収し、活性層 455 に入射する光を低減している。

#### 【0008】

##### 【特許文献 1】

特開平 11-204587 号公報

##### 【特許文献 2】

特開平 11-084422 号公報

#### 【0009】

##### 【発明が解決しようとする課題】

ところで、図 13 に示す従来の液晶表示装置では、絶縁膜 454 の膜厚が 380 nm 程度に形成される。この場合、基板 451 で反射して戻る光のうち、同図中に示す臨界光線 L11 と臨界光線 L12 との間の角度差  $\beta$  に含まれる光線が、活性層 455 のゲート電極直下のチャネル領域に入射する。特に、光源からの光の強度が増大すると、光吸収性を有する第 2 ポリシリコン膜 453 によっても、基板 451 で反射して戻る光に対しての遮光効果が充分ではなくなる。活性層 455 のチャネル領域に光が入射すると、薄膜トランジスタ 456 に光リーク電流が発生し、液晶表示装置の表示性能が低下する。このため、特に、液晶表示装置を投影型表示装置のライトバルブとして使用する場合には、薄膜トランジスタの活性層 455 に入射する光を、より一層効果的に遮蔽する技術が不可欠となる。

#### 【0010】

絶縁膜 454 の膜厚を薄く形成し、第 2 遮光膜 453 と活性層 455 との間の距離を短くし、臨界光線の角度差  $\beta$  を小さくすることで、活性層 455 のチャネル領域に対する遮光効果を高めることができる。しかし、第 2 遮光膜 453 は導電性を有するため、第 2 遮光膜 453 と活性層 455 とが接近すると、電氣的な影響が活性層 455 におよび、第 2 遮光膜 453 がバックゲートとして作用し、第 2 遮光膜 453 の電位により薄膜トランジスタ 456 にリーク電流が流れるという別の問題が発生する。

#### 【0011】

本発明は、薄膜トランジスタを用いた液晶表示装置において、薄膜トランジス



タのチャネル領域に入射する光を低く抑えることで、薄膜トランジスタの光リーク電流を低減でき、かつ、遮光膜のバックゲート効果による薄膜トランジスタへの影響を低く抑えることができる薄膜トランジスタ、TFT基板、及び、液晶表示装置を提供することを目的とする。

#### 【0012】

##### 【課題を解決するための手段】

上記目的を達成するために、本発明の薄膜トランジスタは、導電性の第1遮光膜によって遮光される活性層を有する薄膜トランジスタであって、前記第1遮光膜と前記活性層との間に第2遮光膜を有し、該第2遮光膜の、前記活性層に対向する表面部分のキャリア濃度が $10^{17}/\text{cm}^3$ 以下であることを特徴とする。

#### 【0013】

本発明の薄膜トランジスタでは、例えば金属シリサイド膜からなる第1遮光膜と、薄膜トランジスタの活性層との間に、例えばアモルファスシリコン膜からなる、光透過性を有しない第2遮光膜を配置し、その第2遮光膜の薄膜トランジスタの活性層に対向する表面部分のキャリア濃度を $10^{17}/\text{cm}^3$ 以下に設定する。

第1遮光膜及び第2遮光膜は、それぞれ反射や吸収によって、薄膜トランジスタの活性層に入射する光をさえぎる。第2遮光膜と薄膜トランジスタとの間の距離を短く設定するれば、薄膜トランジスタの活性層に対する遮光効果が高まり、光リーク電流を低減できる。しかし、この場合には、第2遮光膜のキャリア濃度が高いと、第1遮光膜に印加される電位によって、第2遮光膜がバックゲートとして作用し、薄膜トランジスタにバックゲート効果によるリーク電流が発生し、薄膜トランジスタの良好なスイッチング動作が妨げられる。本発明では、第2遮光膜の薄膜トランジスタの活性層に対向する表面部分のキャリア濃度を $10^{17}/\text{cm}^3$ 以下と低く設定するため、第1遮光膜による電界を、第2遮光膜で緩和できる。このため、第2遮光膜を薄膜トランジスタの活性層に近づけた場合であっても、バックゲート効果によるリーク電流を低く抑えることができ、薄膜トランジスタのスイッチング特性が良好となる。

#### 【0014】

また、本発明の別の視点の薄膜トランジスタは、導電性の第1遮光膜によって

遮光される活性層を有する薄膜トランジスタであって、前記第1遮光膜と前記活性層との間に第2遮光膜を有し、該第2遮光膜の、前記活性層に対向する表面部分の電界強度が、第1遮光膜に対向する表面部分の電界強度の80%以下としたことを特徴とする。

#### 【0015】

本発明の別の視点の薄膜トランジスタでは、例えば金属シリサイド膜からなる第1遮光膜と、薄膜トランジスタの活性層との間に、薄膜トランジスタの活性層に対向する表面部分の電界強度が、第1遮光膜に対向する表面部分の電界強度の80%以下となるような、光透過性を有しない第2遮光膜が配置される。

第1遮光膜及び第2遮光膜は、それぞれ反射や吸収によって、薄膜トランジスタの活性層に入射する光をさえぎる。第2遮光膜と薄膜トランジスタとの間の距離を短く設定すれば、薄膜トランジスタの活性層に対する遮光効果が高まり、光リーク電流を低減できる。しかし、この場合には、第2遮光膜の、薄膜トランジスタの活性層に対向する表面部分の電界強度と、第1遮光膜に対向する表面部分の電界強度との差が、薄膜トランジスタの活性層に対向する表面部分の電界強度の20%未満の場合には、第1遮光膜に印加される電位による電界が薄膜トランジスタの活性層に影響し、第2遮光膜がバックゲートとして作用し、薄膜トランジスタには、バックゲート効果によるリーク電流が発生して、薄膜トランジスタの良好なスイッチング動作が妨げられる。本発明では、第2遮光膜の薄膜トランジスタの活性層に対向する表面部分の電界強度が、第1遮光膜に対向する表面部分の電界強度の80%以下となるようにするため、薄膜トランジスタの活性層に影響する第1遮光膜による電界を、第2遮光膜で緩和できる。このため、第2遮光膜を薄膜トランジスタの活性層に近づけた場合であっても、バックゲート効果によるリーク電流を低く抑えることができ、薄膜トランジスタのスイッチング特性が良好となる。

#### 【0016】

本発明の薄膜トランジスタは、前記第2遮光膜と前記活性層との間の距離を100～350nmとすることができる。この場合、第2遮光膜と薄膜トランジスタの活性層との間の距離を短くすることで、第2遮光膜による薄膜トランジスタ

の活性層に対する遮光効果が高まり、薄膜トランジスタの動作を良好にすることができる。

#### 【0017】

本発明の薄膜トランジスタでは、前記活性層は、ソース領域とチャネル領域との間、及び、ドレイン領域とチャネル領域との間に、ソース領域及びドレイン領域と同じ導電型で且つソース領域及びドレイン領域よりも不純物濃度が低い低濃度キャリア領域を有し、前記第2遮光膜は、前記チャネル領域及び前記低濃度キャリア領域と、平面的に重なり合う部分を有することが好ましい。この場合、第2遮光膜は、薄膜トランジスタのソースドレイン間を効果的に遮光して、光リーク電流による薄膜トランジスタのスウィッチング特性の悪化を低く抑えることができる。

#### 【0018】

本発明の薄膜トランジスタでは、前記第2遮光膜を、半絶縁性膜として構成することができる。半絶縁性膜は、例えば、真性半導体膜に逆導電型の不純物を導入することで得られる。

#### 【0019】

本発明の薄膜トランジスタは、前記第2遮光膜が光吸収性を有することが好ましい。光吸収性を有する第2遮光膜は、例えば、アモルファスシリコンによって構成することができる。

#### 【0020】

本発明の薄膜トランジスタでは、前記第1遮光膜と前記第2遮光膜との間に絶縁膜を配設することができ、或いは、前記第1遮光膜と前記第2遮光膜とが接するように形成することもできる。つまり、第1遮光膜と第2遮光膜とは、直接に積層されていてもよく、或いは、絶縁膜などを介して積層されていてもよい。

#### 【0021】

本発明のTFT基板は、光透過性基板と、該光透過性基板上に形成された複数の薄膜トランジスタから成るトランジスタアレイと、前記半導体透過性基板と前記薄膜トランジスタとの間に配設された第1遮光膜とを備えるTFT基板において、前記第1遮光膜と前記薄膜トランジスタの活性層との間に第2遮光膜を有し

、該第2遮光膜の、前記活性層に対向する表面部分のキャリア濃度が $10^{17}/\text{cm}^3$ 以下であることを特徴とする。

#### 【0022】

本発明のTFT基板では、光透過性基板上に、上記本発明の薄膜トランジスタと同様な構成を有する複数の薄膜トランジスタをアレイ状に配置する。これらの薄膜トランジスタでは、第2遮光膜と薄膜トランジスタの活性層との間の距離を短く設定して、光リーク電流を低減した場合であっても、バックゲート効果によるリーク電流を低く抑えることができる。このため、TFT基板に含まれる複数の薄膜トランジスタは、TFT基板の裏面側から高輝度な光を照射した場合についても、良好なスイッチング特性を実現できる。

#### 【0023】

本発明のTFT基板は、前記複数の薄膜トランジスタのそれぞれに対応して画素電極を備え、該画素電極を、対応する薄膜トランジスタによって駆動することが好ましい。この場合、TFT基板では、画素電極に対するスイッチング特性が良好となる。

#### 【0024】

本発明のTFT基板は、前記画素電極に並列に画素容量を接続することができる。画素電極には、画素容量が接続されていてもよく、接続されていなくてもよい。

#### 【0025】

本発明のTFT基板は、前記複数の薄膜トランジスタとは別の薄膜トランジスタを備え、該別の薄膜トランジスタには前記第1遮光膜及び第2遮光膜の何れもが配設されないことが好ましい。例えば、TFT基板上のトランジスタアレイを駆動するための駆動回路に配置される別の薄膜トランジスタには、第1遮光膜及び第2遮光膜の何れをも配置しない。この場合、遮光膜が配置される薄膜トランジスタと、遮光膜が配置されない別の薄膜トランジスタとを、同じ工程でレーザアニールにより熱処理を施すと、遮光膜が有する熱伝導性により、薄膜トランジスタが遮光膜を有するか否かで、薄膜トランジスタの特性を、互いに異なる特性とすることができる。

**【0026】**

本発明の液晶表示装置は、上記本発明のTFT基板と、該TFT基板に対向して配設される対向基板と、前記TFT基板と前記対向基板との間に配設された液晶層とを備えることを特徴とする。

**【0027】**

本発明の液晶表示装置では、TFT基板の画素表示領域に含まれる薄膜トランジスタを、光リーク電流を低減しつつ、バックゲート効果によるリーク電流を低く抑える薄膜トランジスタとして構成できる。このため、例えば液晶表示装置を、投影型表示装置のライトバルブとして使用し、光源側から高輝度な光を照射した場合であっても、画素を制御する薄膜トランジスタのスイッチング動作を良好に保つことができ、高輝度、高コントラストを実現できる。

**【0028】****【発明の実施の形態】**

以下、図面を参照し、本発明の実施形態例に基づいて、本発明を更に詳細に説明する。図1は、本発明の第1実施形態例の液晶表示装置の薄膜トランジスタ付近を平面図として示し、図2は、図1のA-A'断面を示している。以下、図1及び図2を参照して、アクティブマトリクス型液晶表示装置構成を構成する薄膜トランジスタ・アレイ基板（TFT基板）32の構造について詳述する。なお、図1及び図2では、TFT基板32に含まれる複数の薄膜トランジスタのうちの1つを示している。

**【0029】**

図1に示すように、TFT基板32は、マトリクス状に配置される複数の薄膜トランジスタ33を有し、各薄膜トランジスタ33は、互いに平行にY方向に沿って延びる複数のデータ線28aと、互いに平行にX方向に沿って延びる複数のゲート線26aとの交点付近に形成される。ゲート線26aは、キャリアがドーパされたポリシリコン膜やシリサイド膜などからなり、データ線28aは、アルミニウム膜などからなる。ブラックマトリクス34は、遮光性を有するクロム膜などからなり、ゲート線26a、データ線28a、及び、薄膜トランジスタ33に空間的に重なるように形成される。画素領域31は、ゲート線26aとデータ

線 28a とによって (ブラックマトリクス 34 によって) 区画され、画素領域 31 には、透明電極からなる、ほぼ矩形状の画素電極 23 が配置される。

#### 【0030】

図 2 に示すように、TFT 基板 32 は、下層側から順次に積層された基板 1、下地絶縁膜 2、第 1 遮光膜 3、第 1 絶縁膜 4、第 2 遮光膜 5、第 2 絶縁膜 6、及び、活性層 7 を有する。また、活性層 7 の上層側に、ゲート絶縁膜 10 と、ゲート電極 13 と、第 1 層間絶縁膜 14 と、ソース電極 15 と、ドレイン電極 16 と、第 2 層間絶縁膜 17 と、下部電極 18 と、容量絶縁膜 19 と、上部電極 20 と、第 3 層間絶縁膜 21 と、平坦化膜 22 と、画素電極 23 とが形成される。

#### 【0031】

下地絶縁膜 2 は、酸化シリコンからなり、高歪点ガラス基板からなる基板 1 上の全面に形成される。第 1 遮光膜 3 は、導電性を有し、光を反射するタンゲステンシリサイドからなり、基板 1 側から入射する光を遮断する。第 1 遮光膜 3 は、図 1 に示すように、データ線 28a に対応する領域 3a、ゲート線 26a に対応する領域 3b、及び、薄膜トランジスタ 33 に対応する領域 3c に形成される。第 1 遮光膜 3 は、薄膜トランジスタ 33 に対応する領域 3c の下層側では、X 方向に関して活性層 7 に重なる領域に、或いは、活性層 7 よりも少し広めの領域に形成される。第 1 絶縁膜 4 は、遮光膜 3 及び下地絶縁膜 2 上に形成される。

#### 【0032】

第 2 遮光膜 5 は、非光透過性を有し、光の吸収が可能なアモルファスシリコンからなり、図 1 に示すように、ゲート線 26a に対応する領域 5a、及び、薄膜トランジスタ 33 に対応する領域 5b に形成される。第 2 遮光膜 5 は、薄膜トランジスタ 33 に対応する領域の下層側では、X 方向に関して活性層 7 に重なる領域に、或いは、活性層 7 よりも少し広めの領域に形成される。また、第 2 遮光膜 5 の活性層 7 に対向する表面部分のキャリア濃度は、 $10^{17}/\text{cm}^3$  以下に設定される。第 2 遮光膜 5 は、第 1 遮光膜 3 と空間的に重なるように、或いは、第 1 遮光膜 3 よりも内側に入るように配置される。第 2 絶縁膜 6 は、酸化シリコンからなり、遮光膜 5 と活性層 7 との間に、150nm 程度の膜厚で形成される。

#### 【0033】

活性層 7 は、第 2 絶縁膜 6 上に形成され、薄膜トランジスタ 33 (図 1) の活性層を構成する。活性層 7 の X 方向の両端では、中央部に比して、Y 方向の幅が広く形成される。活性層 7 の X 方向の一端付近には、キャリア濃度が高く設定されるソース領域 8 が形成され、X 方向の他端付近には、キャリア濃度が高く設定されるドレイン領域 9 が形成される。ソース領域 8 は、第 1 データ線 28 a と空間的に重なるように配置され (図 1)、アルミニウムシリコンからなるソース電極 15 (コンタクタ 29 a) を介して、第 1 データ線 28 a と接続する。ドレイン領域 9 は、第 2 データ線 28 b と空間的に重なるように配置され (図 1)、アルミニウムシリコンからなるドレイン電極 15 (コンタクタ 29 b) を介して、第 2 データ線 28 b と接続する。

#### 【0034】

活性層 7 上には、酸化シリコンからなるゲート絶縁膜 10 が形成され、ゲート絶縁膜 10 上には、活性層 7 の X 方向に関して中央付近に、タンゲステンシリサイドからなるゲート電極 13 が形成される。ソース領域 8 とゲート電極の直下のチャンネル領域 27 との間には低濃度キャリア領域 11 が形成され、ドレイン領域 9 とチャンネル領域 27 との間には別の低濃度キャリア領域 12 が形成される。チャンネル領域 27 は、ゲート線 26 a から突き出した配線 26 b と空間的に重なるように配置され (図 1)、ゲート電極 13 とゲート線 26 とは、コンタクタを介して接続される。ゲート絶縁膜 10 上及びゲート電極 13 上には、酸化シリコンからなる第 1 層間絶縁膜 14 が形成される。

#### 【0035】

第 2 層間絶縁膜 17 は、窒化シリコンからなり、第 1 層間絶縁膜 14、ソース電極 15、及び、ドレイン電極 16 上に形成される。第 2 層間絶縁膜 17 上には、クロムと微結晶化シリコンとの積層からなる下部電極 18 が形成される。下部電極 18 の上部には、窒化シリコンからなる容量絶縁膜 19 が形成され、その容量絶縁膜 19 上には、チタン、アルミニウムシリコン、及び、微結晶化シリコンの積層からなる上部電極 20 が形成される。上部電極 20 は、第 2 データ線 28 b (図 1) を介してドレイン電極 16 に接続する。上部電極 10 と下部電極 18 とは、容量絶縁膜 19 を挟んで対向し、画素容量を構成する。上部電極 20 上に

は、窒化シリコンからなる第3層間絶縁膜21が形成される。

#### 【0036】

平坦化膜22は、アクリルからなり、第3層間絶縁膜21上に形成される。平坦化膜22は、薄膜半導体デバイス・アレイ基板32の表面の平坦性を高める。画素電極23は、ITOからなり、画素領域31（図1）に形成される透明電極として構成される。画素電極23は、平坦化膜22上に形成され、コンタクト孔を介して上部電極20と接続する。液晶表示装置では、図示しない液晶に印加される電界を、画素電極23に与える電位を変化させることで制御し、基板1側（光源側）からの光の透過量が制御される。

#### 【0037】

図3（a）～（d）、図4（e）、（f）、及び、図5（g）、（h）は、TFT基板32の製作を製作過程ごとに示している。図2に示す断面構造を有するTFT基板32は、以下のようにして得られる。まず、CVD法により、高歪点ガラス基板等からなる基板1上の全面に下地絶縁膜2を300nm程度の膜厚で形成し、その下地絶縁膜2上に、スパッタ法により、光反射性を有する金属シリサイド膜である第1遮光膜3を175nm程度の膜厚で形成する（図3（a））。次いで、活性層7が形成される領域か、それよりもいくらか広い領域にフォトリソグラフィ法でフォトレジストを残し、ドライエッチング法により第1遮光膜3を選択的に除去する（図3（b））。

#### 【0038】

CVD法により、絶縁膜4を150nm程度の膜厚で形成し、その上部に更にCVD法により第2遮光膜5を60nm程度の膜厚で形成する。次いで、イオンドーピング法、イオン注入法、又は、気相ドーズ法を用いて、第2遮光膜5にキャリアを注入し、図3（b）のときと同様に、活性層7が形成されるべき領域か、それよりも広い領域にフォトリソグラフィ法でフォトレジストを残し、ドライエッチング法により第2遮光膜5を選択的に除去する（図3（c））。このとき、キャリア注入では、第2遮光膜5中の垂直方向のキャリアプロファイルにおいて、第2遮光膜5の活性層7に面すべき表面部分のキャリア濃度が $10^{17}/\text{cm}^3$ 以下となるように、また、注入時にキャリア濃度のピークが、活性層7中で絶縁膜



6に対向する面に近くなるようにキャリアを注入する。

#### 【0039】

CVD法により、絶縁膜6を150nm程度の膜厚で形成して、活性層7を60nm程度の膜厚で形成し、さらにゲート絶縁膜10aをCVD法により10nm程度の膜厚で作成する。その後、活性層7に対して、イオンドーピング法又はイオン注入法を用いて、キャリア濃度が $10^{15}/\text{cm}^3$ 程度となるようにキャリアを注入する。さらに、活性層7の半導体の結晶性が向上するようにエキシマレーザによりアニールする。これにより、活性層7の結晶性が改善され、特性の優れた薄膜トランジスタの形成が可能になる。

#### 【0040】

続いて、活性層7が形成される領域にフォトリソグラフィ法でフォトレジストを残し、活性層7が形成される領域以外をドライエッチング法により除去する。その後、フォトリソグラフィ法でソース領域8及びドレイン領域9を形成すべき領域以外にフォトレジストを残し、イオンドーピング法、又は、イオン注入法を用いて、キャリア濃度がそれぞれ $5 \times 10^{20}/\text{cm}^3$ 程度となるようにキャリアを注入し、ソース領域8及びドレイン領域9を形成する。キャリア注入の後に、ゲート絶縁膜10bを、CVD法により90nm程度の膜厚で形成する(図3(d))。

#### 【0041】

ソース領域8とゲート電極13に対応する領域27との間の領域、及び、ドレイン領域9とゲート電極13に対応する領域27との間の領域以外の領域に、フォトリソグラフィ法でフォトレジストを残し、イオンドーピング法又はイオン注入法を用いてキャリア濃度が $10^{17}/\text{cm}^3$ 程度になるように、低濃度のキャリアを注入して、低濃度キャリア領域11、12を形成する。(図4(e))。その後、注入されたキャリアをCVD装置で活性化して、水素化する。

#### 【0042】

引き続き、通常の液晶表示装置を構成する薄膜半導体デバイス・アレイ基板の製造方法と同様にして、ゲート電極13、第1層間絶縁膜14、ソース電極15、ドレイン電極16を形成する。ソース電極15及びドレイン電極16を形成す

る際には、液晶表示装置において、薄膜半導体デバイス・アレイ基板 32 の画素領域外の図示しない周辺回路に、第 1 遮光膜 3 及び第 2 遮光膜 5 を、それぞれ電氣的に接続する。その後、第 2 層間絶縁膜 17 を形成する（図 4（f））。

#### 【0043】

CVD 法により微結晶化シリコン膜を 100 nm 程度の膜厚で形成し、スパッタ法によりクロムを 140 nm 程度の膜厚で形成し、それらの積層からなる下部電極 18 を形成する。フォトリソグラフィ法で下部電極 18 が形成される領域にフォトレジストを残し、ドライエッチング法により下部電極 18 を形成する。次いで、容量絶縁膜 19 を CVD 法で 100 nm 程度の膜厚で形成し、上部電極 20 とドレイン電極 16 とを接続するコンタクト孔を形成する。その後、チタン、アルミシリコン、及び、微結晶化シリコンの積層からなる画素容量の上部電極 20 を 550 nm 程度の膜厚で形成し、フォトリソグラフィ法で上部電極 20 が形成される領域にフォトレジストを残し、ドライエッチング法により上部電極 20 を形成する（図 5（g））。

#### 【0044】

CVD 法で第 3 層間絶縁膜 21 を 400 nm 程度の膜厚で形成し、続いてスピンドーピングで平坦化膜 22 を 1690 nm 程度の膜厚で形成する。平坦化膜 22 に、画素電極 23 を画素容量の上部電極 20 に接続するためのコンタクト孔を形成した後、画素電極 23 をスパッタ法で 40 nm 程度の膜厚で形成する（図 3（h））。以上のような製作工程により、図 2 に示す断面構造を有する TFT 基板 32 が得られる。

#### 【0045】

本実施形態例では、TFT 基板 32 の基板 1 と活性層 7 との間に、導電性を有する金属シリサイドからなる第 1 遮光膜 3 と、非光透過性を有する第 2 遮光膜 5 とを配置し、絶縁膜 6 の膜厚、つまり第 2 遮光膜 5 と活性層 7 との間の距離が 150 nm に設定される。このため、遮光膜と活性層との間の距離が 380 nm に設定される図 13 に示す従来の液晶表示装置と比較して、活性層 7 に入射する光の量を低減して遮光効果を向上させることができ、基板 1 側より薄膜トランジスタ 33（図 1）に戻る光（戻り光）を一層効果的に遮光できる。

## 【0046】

TFT基板32に形成される薄膜トランジスタ33は、活性層7に対する遮光効果が高く、光リーク電流の影響が低いため、薄膜トランジスタ33のスイッチング特性が改善され、画素電極23の制御が良好となる。これにより、TFT基板32を含む液晶表示装置では、輝度が高い光を光源として使用する投影型表示装置のライトバルブとして使用した場合についても、高輝度、及び、高コントラストを実現できる。

## 【0047】

図2に示すように、ソース領域8とソース側の低濃度キャリア領域11との境界に入射する臨界光線L1と、ドレイン領域9とドレイン側の低濃度キャリア領域12との間の境界に入射する臨界光線L2との間の角度差 $\alpha$ に含まれる光が、第2遮光膜5では遮断しきれずに、活性層7に入射して光リーク電流を発生させる。本実施形態例では、活性層7と第2遮光膜5との間の距離が従来よりも短く設定されるため、角度差 $\alpha$ が、図13中に示す臨界光線L11と臨界光線L12との間の角度差 $\beta$ よりも小さくなる。このため、従来の液晶表示装置に比して、活性層7のチャンネル領域27及び低濃度キャリア領域11、12に侵入する光の量を低減でき、光リーク電流によるコントラスト低下等の性能の低下を防止して、液晶表示装置の性能を向上することができる。

## 【0048】

単に、第2遮光膜5と活性層7との間の距離を短く設定する場合には、第1遮光膜3及び第2遮光膜5に印加される電位により、第2遮光膜5が薄膜トランジスタ33（図1）に対してバックゲートとして作用して、薄膜トランジスタ33にバックゲートによるリーク電流をもたらす。本実施形態例では、第2遮光膜5の活性層7に対向する表面部分のキャリア濃度を低くすることで、第1遮光膜3に印加される電位による電界を遮光膜5によって緩和し、薄膜トランジスタ33への電氣的影響を低減している。このため、第2遮光膜5と活性層7とが接近させた場合であっても、バックゲートによるリーク電流の影響によって液晶表示装置の性能の低下が発生しない。

## 【0049】

図6 (a)、(b)は、それぞれ遮光膜から活性層付近のエネルギーバンド図を示し、図7は、遮光膜のキャリア濃度と、遮光膜での電位変化量との関係を示している。図6及び図7を参照して、活性層直下の遮光膜のキャリア濃度が、活性層に与える電氣的影響について説明する。図6 (a)、(b)は、それぞれ図2に示す第1遮光膜3からゲート電極13までの間のエネルギーレベルの様子を示し、同図(a)では、第2遮光膜5Aのキャリア濃度が例えば $10^{17}/\text{cm}^3$ と低く設定されており、同図(b)では、第2遮光膜5Aのキャリア濃度が例えば $10^{22}/\text{cm}^3$ と高く設定されている。

#### 【0050】

図6 (a)に示すように、第2遮光膜5Aのキャリア濃度が低い場合には、第1遮光膜3に与えられる電位Vにより、第2遮光膜5Aでバンドの曲がりが発生し、第2遮光膜5Aの第1遮光膜3側の電位と活性層7側の電位との間に電位差（電位の損失） $\Delta V$ が生じる。一方、同図(b)に示すように、第2遮光膜5Bのキャリア濃度が高い場合には、第2遮光膜5Bでバンドの曲がりが発生せず、第2遮光膜5Bの電位は、第1遮光膜3の電位Vと等しくなり、第2遮光膜5Bの第1遮光膜3側の電位と活性層7側の電位との間に電位差が生じない。このため、第1遮光膜3とゲート電極13との間の電位差が一定であれば、同図(a)の場合と比較して、同図(b)の場合の方が活性層7でのバンド曲がりが大きくなる。

#### 【0051】

図6 (a)と同図(b)とを比較すると、同図(a)では、第2遮光膜5Aは第1遮光膜3の電界を緩和する役目を果たしているといえるが、同図(b)では、第2遮光膜5Bは第1遮光膜3の電界を緩和する役目を果たしていないといえない。このため、同図(a)における活性層7でのバンドの曲がりと、同図(b)における活性層7でのバンドの曲がりとを比較すると、第2遮光膜5のキャリア濃度が低い同図(a)の方が、第2遮光膜5Aで電位差 $\Delta V$ が生じている分だけ、活性層7でのバンドの曲がりの方が小さくなる。このため、同図(a)では、同図(b)に比して、活性層7の第2遮光膜5側にチャネルが形成されにくい。

## 【0052】

第2遮光膜5のキャリア濃度と第2遮光膜での生じる電位差 $\Delta V$ との関係は、図9に示される。同図に示すように、第2遮光膜5の活性層7に対向する表面部分のキャリア濃度が低くなるほど、第2遮光膜5で生じする電位差が大きくなる。例えば、第1遮光膜3に、5Vの電位を与えた場合には、同図に示すように、第2遮光膜5の活性層7に対向する表面部分のキャリア濃度を $10^{17}/\text{cm}^3$ に設定すれば、電位差 $\Delta V$ は1Vとなり、第1遮光膜3の電界を、20%緩和することができる。従って、第2遮光膜5の活性層に対向する表面部分のキャリア濃度を $10^{17}/\text{cm}^3$ 以下とすることで、第1遮光膜3による電位を20%以上緩和することができ、第1遮光膜3の電位による電界を緩和する効果大きい。

## 【0053】

本実施形態例では、第2絶縁膜6の膜厚を150nmに設定し、第2遮光膜5の活性層7に対向する表面部分のキャリア濃度を $10^{17}/\text{cm}^3$ に設定したが、第2絶縁膜6の膜厚を150nmよりも薄くして、第2遮光膜5と活性層7との間の距離を更に短くする場合には、第2遮光膜5の活性層7に対向する表面部分のキャリア濃度を $10^{17}/\text{cm}^3$ よりも更に低く設定するとよい。この場合、第2遮光膜5の活性層7に対向する表面部分のキャリア濃度を更に低くすることで、第2遮光膜5で生じる電位差 $\Delta V$ が大きくなり、第2遮光膜5の緩和作用が大きくなる。このため、第2遮光膜5による遮光効果を高めるために第2絶縁膜6の膜厚を薄くした場合であっても、バックゲートによるリーク電流の影響を低く抑えることができる。第2遮光膜5の活性層7に対向する表面部分のキャリア濃度は、好ましくは、第2遮光膜5の第1遮光膜3側の電位と活性層7側の電位との電位差が、第1遮光膜3に印加される電位の20%以上となるよう設定される。

## 【0054】

ところで、第2絶縁膜6の膜厚（第2遮光膜5と活性層7との間の距離）を350nm以上に設定する場合には、活性層7に到達する光が多くなって、光リーク電流が顕著になる。また、第2絶縁膜6の膜厚を100nm以下に設定する場合には、第2遮光膜5が活性層7に電氣的影響を与え、バックゲートによるリーク電流が顕著になる。従って、第2絶縁膜6の膜厚は、100nm～350nm

に設定することが好ましい。第2絶縁膜6の膜厚を、100nm～350nmの範囲に設定することで、遮光効果を高めて光リーク電流を低く抑え、かつ、バックゲートによるリーク電流を低く抑えることができる。第2絶縁膜6の膜厚は、遮光効果の観点からは、150nm～250nmの範囲内にあるのがより好ましい。

#### 【0055】

また、第2遮光膜5の膜厚を、50nm以下に設定すると、第2遮光膜5が非光透過性を有しなくなり、また200nm以上に設定すると、第2遮光膜5が活性層7に電气的影響を与え、バックゲートによるリーク電流が顕著になる。従って第2遮光膜5の膜厚は、50nm～200nmとすることが好ましい。第2遮光膜5の膜厚を、50nm～200nmの範囲内に設定することで、遮光効果を高めて光リーク電流を低く抑え、かつ、バックゲートによるリーク電流を低く抑えることができる。

#### 【0056】

図8は、本発明の第2実施形態例の液晶表示装置のTFT基板32Aの断面構造を示している。本実施形態例のTFT基板32Aは、図1に示す平面図と同様な平面構造を有し、図8に示す断面は、図1のA-A'断面に相当する。本実施形態例では、図2の第1遮光膜3と第2遮光膜5とが、絶縁膜4を介さずに積層されている点で、第1実施形態例と相違する。TFT基板32Aは、下層側から順次に積層された基板1、下地絶縁膜2、第1遮光膜3、第2遮光膜5、第2絶縁膜6、及び、活性層7を有する。

#### 【0057】

図9(a)、(b)は、TFT基板32Aの製作を製作過程ごとに示している。図8に示す断面構造を有するTFT基板32Aは、以下のようにして得られる。まず、CVD法により、例えば高歪点ガラス基板等からなる基板1上の全面に下地絶縁膜2を300nm程度の膜厚で形成し、その下地絶縁膜2上に、スパッタ法により、光反射性を有する金属シリサイド膜であるタングステンシリサイド膜を第1遮光膜3を175nm程度の膜厚で形成する。更に、その上層に、CVD法により、第2遮光膜5を60nm程度の膜厚で積層する(図9(a))。

**【0058】**

次いで、活性層 7 が形成される領域か、或いは、それよりも広いくらか領域にフォトリソグラフィ法でフォトレジストを残し、ドライエッチング法により第 2 遮光膜 5 を除去する（図 9（b））。図 9（b）に後続して、図 3（d）～図 5（h）と同様な工程で製作することにより、図 8 に示す断面構造を有する、本実施形態例の TFT 基板 32A が得られる。

**【0059】**

本実施形態例では、第 1 遮光膜 3 と第 2 遮光膜 5 とが、図 2 の第 1 絶縁膜 4 を介さずに積層されているため、第 1 絶縁膜 4 を形成する工程を省略することができる。この場合であっても、第 1 実施形態例と同様に、活性層 7 に対する遮光効果が高く、本実施形態例の TFT 基板 32A を含む液晶表示装置においても、高輝度、及び、高コントラストを実現できる。また、第 1 遮光膜 3 と第 2 遮光膜 5 とを直接に積層するため、第 1 遮光膜 3 の電位と、第 2 遮光膜 5 の電位とは互いに等しくなり、第 1 実施形態例とは異なり、第 2 遮光膜 5 にキャリアを注入する必要がなく、図示しない周辺回路には第 1 遮光膜 3 のみを電氣的に接続すればよい。このため、第 1 実施形態例と比較して、製造工程が簡素になるため工期短縮が可能となり、液晶表示装置製造のスループットを向上できる。

**【0060】**

図 10 は、本発明の第 3 実施形態例の液晶表示装置の TFT 基板 32B の断面構造を示している。本実施形態例の TFT 基板 32B は、図 1 に示す平面図と同様な平面構造を有し、図 10 に示す断面は、図 1 の A-A' 断面に相当する。本実施形態例では、図 2 に示す画素容量を備えていない点で、第 1 実施形態例と相違する。

**【0061】**

TFT 基板 32B では、活性層 7 の上層側に、ゲート絶縁膜 10 と、ゲート電極 13 と、第 1 層間絶縁膜 14 と、ソース電極 15 と、ドレイン電極 16 と、第 2 層間絶縁膜 17 と、画素電極 23 とが形成される。この TFT 基板 32B は、図 3（a）～図 4（f）と同様にして、第 2 層間膜 17 までを形成し、その後、画素容量を生成せずに、第 2 層間絶縁膜 17 にコンタクト孔を形成し、画素電極

23とドレイン電極16を接続することで得られる。

#### 【0062】

本実施形態例では、第1実施形態例とは異なり、TFT基板32Bは画素容量を持たない。この場合であっても、第1実施形態例と同様に、第1遮光膜3及び第2遮光膜5による活性層7に対する遮光効果が高くなり、本実施形態例のTFT基板32Bを含む液晶表示装置においても、高輝度、及び、高コントラストを実現できる。

#### 【0063】

図11は、本発明の第4実施形態例の液晶表示装置のTFT基板32Cの断面構造を示している。本実施形態例のTFT基板32Cは、図1に示す平面図と同様な平面構造を有し、図11に示す断面は、図1のA-A'断面に相当する。本実施形態例では、図8に示す画素容量を備えていない点で、第2実施形態例と相違する。

#### 【0064】

TFT基板32Cでは、活性層7の上層側に、ゲート絶縁膜10と、ゲート電極13と、第1層間絶縁膜14と、ソース電極15と、ドレイン電極16と、第2層間絶縁膜17と、画素電極23とが形成される。TFT基板32Cは、図9(a)、(b)、及び、図3(d)～図4(f)と同様にして、第2層間膜17までを形成し、その後、画素容量を生成せずに、第2層間絶縁膜17にコンタクト孔を形成し、画素電極23とドレイン電極16を接続することで得られる。

#### 【0065】

本実施形態例では、第2実施形態例とは異なり、TFT基板32Cは画素容量を持たない。この場合であっても、第1実施形態例と同様に、第1遮光膜3及び第2遮光膜5による活性層7に対する遮光効果が高く、本実施形態例のTFT基板32Cを含む液晶表示装置においても、高輝度、及び、高コントラストを実現できる。また、第2実施形態例と同様に、液晶表示装置製造のスループットを向上できる。

#### 【0066】

図12は、本発明の第5実施形態例の液晶表示装置のTFT基板32Dの断面



構造を示している。なお、同図は、図2の活性層7に相当する活性層107を形成する工程を示している。また、TFT基板32Dは、図1に示す画素領域31に近接し、ドレインが画素電極に接続される画素制御用の薄膜トランジスタが形成される画素マトリクス領域103と、駆動回路等の周辺回路が形成される駆動領域104とを有する。

#### 【0067】

図12に示す断面構造を有するTFT基板32Dは、以下のようにして得られる。まず、図3(a)、(b)と同様にして、基板101上の全面に下地絶縁膜102を形成して、所望の箇所に遮光膜105を形成する。このとき、画素マトリクス領域103には遮光膜105が形成され、駆動領域104には遮光膜105が形成されないようにする。遮光膜105は、光透過性を持たず、導電性と熱伝導性とを有していればよい。

#### 【0068】

次いで、絶縁膜106を150nmで形成し、絶縁膜106上に、薄膜トランジスタを構成すべき活性層107を形成する。活性層107は、アモルファスシリコン膜として形成され、画素マトリクス領域103と、駆動領域104との双方に形成される。画素マトリクス領域103の薄膜トランジスタは、画素電極を制御するトランジスタとして用いられることになり、駆動領域104の薄膜トランジスタは、駆動回路等を構成するトランジスタとして用いられることになる。このとき、画素マトリクス領域103及び駆動領域104の双方に形成される活性層107は、エキシマレーザによりアニールされる。

#### 【0069】

活性層107を形成する工程では、画素マトリクス領域103の活性層107下層側には、遮光膜105が形成されているため、レーザアニールで、アモルファスシリコン膜である活性層にレーザ光が照射されると、レーザ光により発生する熱は、遮光膜105が有する熱伝導性により、基板101側に伝達される。これにより、活性層107は、結晶性の低いポリシリコン膜として形成される。このため、画素マトリクス領域103に形成される薄膜トランジスタでは、光リーク電流がより低減される。一方、駆動領域104の活性層107は、画素マトリ

クス領域 103 に形成される活性層と同様にレーザアニールされるが、駆動領域 104 の活性層 107 の下層側には、遮光膜 105 が形成されていないため、レーザ光により発生する熱は、基板 101 側にはあまり伝達されない。これにより、活性層 107 は、高い移動度を有するポリシリコン膜として形成される。このため、駆動領域 104 に形成される薄膜トランジスタのスイッチング特性が向上する。

#### 【0070】

本実施形態例では、画素マトリクス領域 103 内の薄膜トランジスタを構成する活性層 107 の下層側には熱伝導性を有する遮光膜 105 を配置し、駆動領域 104 内の薄膜トランジスタを構成する活性層 107 の下層側には遮光膜を配置しない。この場合、双方の領域の活性層 107 をレーザアニールすると、活性層 107 を形成する工程は同じであっても、下層側に熱伝導性を有する遮光膜 105 が形成されているか否かにより、画素マトリクス領域 103 内に形成される薄膜トランジスタの特性と、駆動領域 104 内に形成される薄膜トランジスタの特性とが、異なる特性となる。

#### 【0071】

上記した薄膜トランジスタの特性の相違は、遮光膜 105 が有する熱伝導性により得られるため、遮光膜の構造によらず、遮光膜として熱伝導性が高い膜が、画素マトリクス領域 103 に形成される活性層 107 の下層側に存在すれば、得られる。絶縁膜 106 の膜厚（遮光膜 105 と活性層 107 との間の距離）を 350 nm 以上に設定すると、レーザアニール時の熱処理での熱が、熱伝導性を有する遮光膜 105 に伝わらず、下層側に遮光膜 105 が形成されているか否かで、活性層 107 の特性が変化しなくなる。また、絶縁膜 106 の膜厚を 100 nm 以下に設定すると、下層側に遮光膜 105 が形成されている活性層 107 と、下層側に遮光膜 105 が形成されていない活性層 107 との間で、レーザアニールでの熱処理による特性の変化が大きすぎ、薄膜トランジスタの良好なオン特性が得られなくなる。従って、絶縁膜 106 の膜厚は、第 1 実施形態例における第 2 絶縁膜 6（図 2）と同様に、100 nm～350 nm に設定することが好ましい。

**【0072】**

なお、上記第1～第4実施形態例では、第1遮光膜3としてタングステンシリサイド膜を用いる例について示したが、タングステンに代えて、タンタル (Ta)、チタン (Ti)、クロム (Cr)、モリブデン (Mo) 等を適宜用いてもよく、これらの金属は高融点金属でなくともよい。また、第5実施形態例における遮光膜105としては、第1～第4実施形態例と同様に、タングステンシリサイド膜を使用することもでき、タングステンに代えてタンタル (Ta)、チタン (Ti)、クロム (Cr)、モリブデン (Mo) 等を適宜用いてもよい。

**【0073】**

上記第1～第4実施形態例では、第2遮光膜5として、光吸収性を有するアモルファスシリコンを用いる例について示したが、これに代えて、微結晶シリコン ( $\mu c-Si$ )、アモルファス  $Si-xGe_x$  系、ポリゲルマニウム (Poly-Ge)、アモルファスゲルマニウム (a-Ge)、ポリ  $Si-xGe_x$  系等の半導体薄膜を用いた場合にも、上記各実施形態例と同様の効果が得られる。また、上記第1～第4実施形態例では、ゲート電極13としてタングステンシリサイド膜を用いる例について示したが、これに代えて、タンタル (Ta)、チタン (Ti)、クロム (Cr)、モリブデン (Mo)、アルミニウム (Al) 等を適宜用いてもよい。

**【0074】**

上記第1～第4実施形態例では、第2遮光膜5等の形成にCVD法を用いる例について説明したが、これに代えて、スパッタ法、プラズマCVD法等を用いることもできる。また、基板上に全面に形成された絶縁膜、遮光膜、薄膜トランジスタの活性層、ゲート絶縁膜等の膜厚は一例を示したものであり、目的、用途等に応じて適宜変更することができる。また、第2遮光膜5に対するキャリア注入では、一の導電型のキャリアを有する半導体膜に、そのキャリアとは逆の導電型のキャリアを注入して、キャリア濃度が低い第2遮光膜を得てもよい。

**【0075】**

以上、本発明をその好適な実施形態例に基づいて説明したが、本発明の薄膜トランジスタ、TFE基板、及び、液晶表示装置は、上記実施形態例にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施した薄膜

トランジスタ、TFT基板、及び、液晶表示装置も、本発明の範囲に含まれる。

### 【0076】

#### 【発明の効果】

以上説明したように、本発明の薄膜トランジスタ、及び、TFT基板では、第1遮光膜による電界を、第2遮光膜で緩和できるため、第2遮光膜を薄膜トランジスタの活性層に近づけ、光リーク電流も低く抑えた場合であっても、バックゲート効果によるリーク電流を低く抑えることができる。このため、薄膜トランジスタのスイッチング動作が良好となる。

また、本発明のTFT基板を使用した液晶表示装置では、輝度が高い光源を使用した場合についても、画素を制御する薄膜トランジスタのスイッチング動作を良好に保つことができるため、高輝度、高コントラストを実現できる。

#### 【図面の簡単な説明】

##### 【図1】

本発明の第1実施形態例の薄膜トランジスタ・アレイ基板の薄膜トランジスタ付近を示す平面図。

##### 【図2】

図1のA-A'断面を示す断面図。

##### 【図3】

(a)～(d)は、図2に示す断面構造を有する薄膜トランジスタ・アレイ基板を製造工程ごとに示す断面図。

##### 【図4】

(e)、(f)は、図3(d)に後続する工程の薄膜トランジスタ・アレイ基板を製造工程ごとに示す断面図。

##### 【図5】

(g)、(h)は、図4(f)に後続する工程の薄膜トランジスタ・アレイ基板を製造工程ごとに示す断面図。

##### 【図6】

(a)、(b)は、それぞれ遮光膜から活性層付近のエネルギーバンド図。

##### 【図7】

遮光膜のキャリア濃度と、遮光膜での電位変化量との関係を示すグラフ。

【図 8】

本発明の第 2 実施形態例の薄膜トランジスタ・アレイ基板の断面構造を示す断面図。

【図 9】

(a)、(b) は、図 8 に示す断面構造を有する薄膜トランジスタ・アレイ基板を製造工程ごとに示す断面図。

【図 10】

本発明の第 3 実施形態例の薄膜トランジスタ・アレイ基板の断面構造を示す断面図。

【図 11】

本発明の第 4 実施形態例の薄膜トランジスタ・アレイ基板の断面構造を示す断面図。

【図 12】

本発明の第 5 実施形態例の薄膜トランジスタ・アレイ基板の断面構造を示す断面図。

【図 13】

従来の液晶表示装置における薄膜トランジスタ・アレイ基板の断面構造を示す断面図。

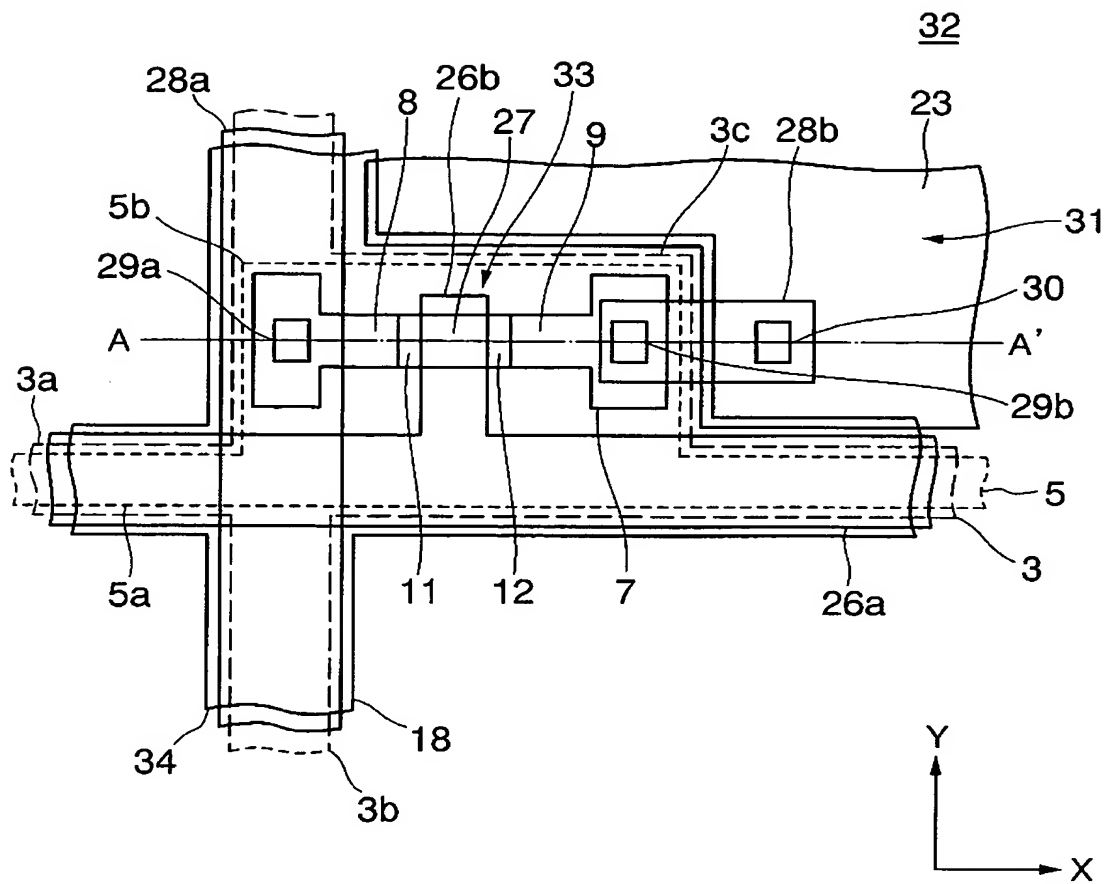
【符号の説明】

- 1：基板
- 2：下地絶縁膜
- 4：第 1 絶縁膜
- 6：第 2 絶縁膜
- 3：第 1 遮光膜
- 5：第 2 遮光膜
- 7：薄膜トランジスタの活性層
- 10：ゲート絶縁膜
- 13：ゲート電極

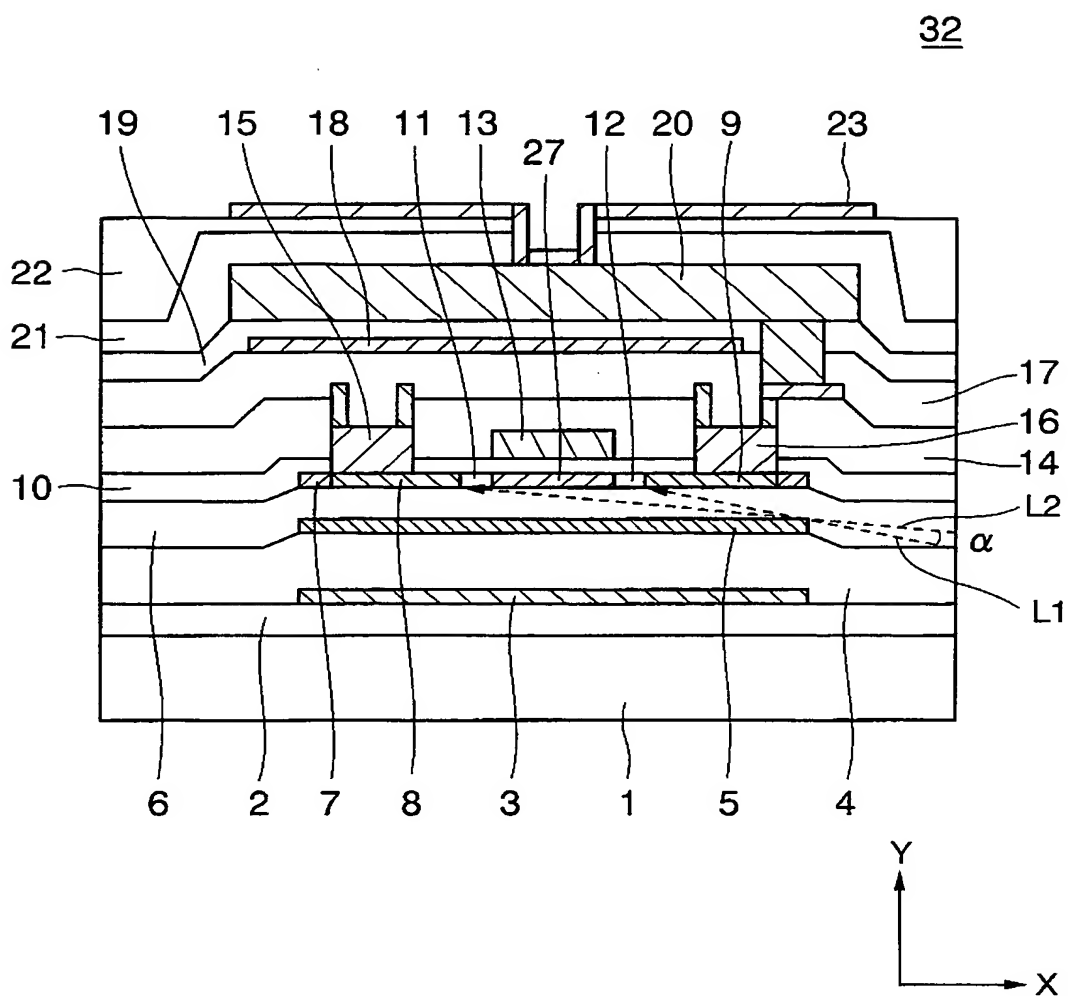
- 1 4 : 第 1 層間絶縁膜
- 1 7 : 第 2 層間絶縁膜
- 1 8 : 画素容量の下部電極
- 1 9 : 画素容量絶縁膜
- 2 0 : 画素容量の上部電極
- 2 1 : 第 3 層間絶縁膜
- 2 2 : 平坦化膜
- 2 3 : 画素電極
- 2 6 : ゲート線
- 2 8 : データ線
- 3 1 : 画素領域
- 3 2 : 薄膜トランジスタ・アレイ基板 (T F T 基板)
- 3 3 : 薄膜トランジスタ
- 3 4 : ブラックマトリクス膜
- 1 0 3 : 画素マトリクス部
- 1 0 4 : 駆動回路部

【書類名】 図面

【図 1】

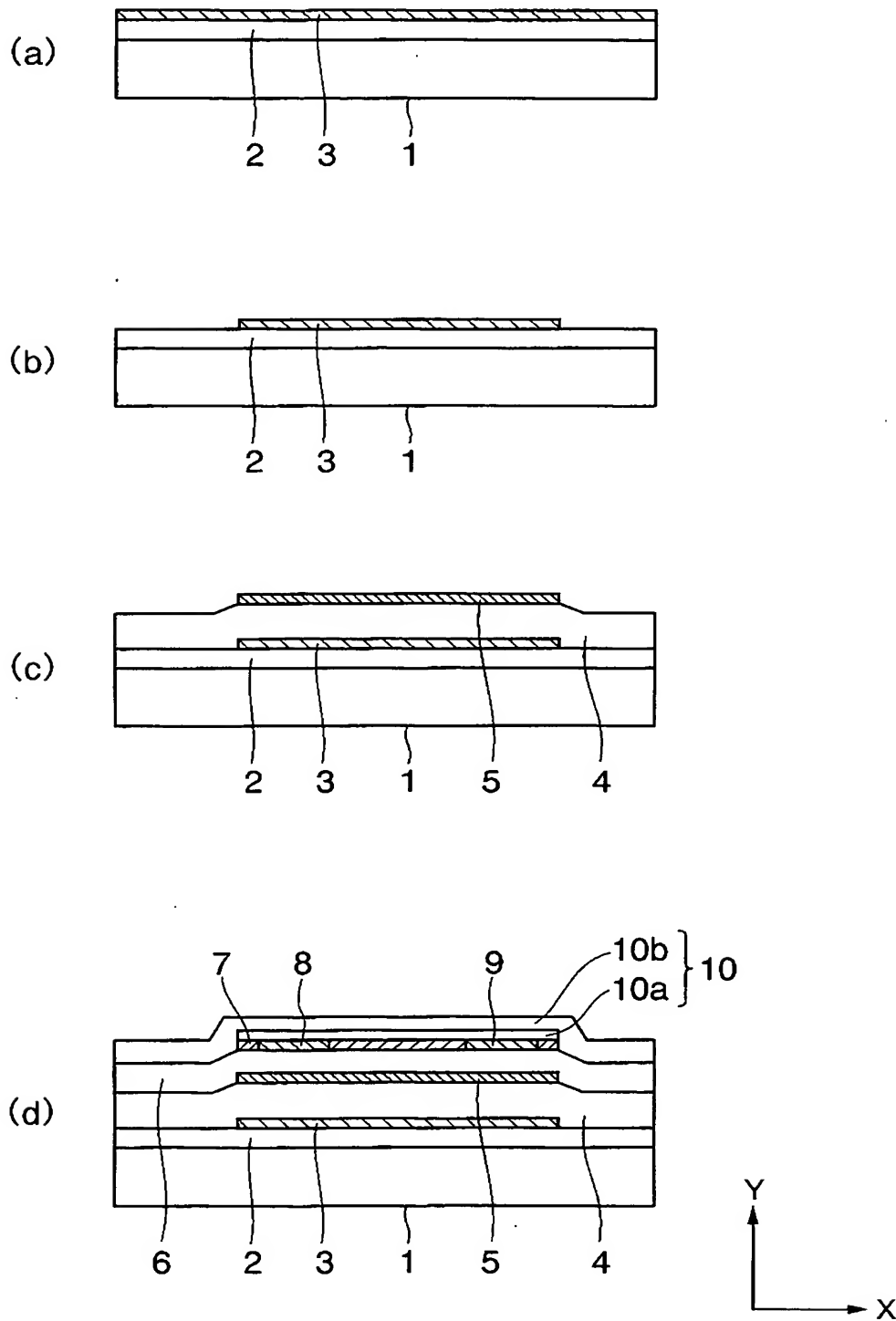


【図 2】

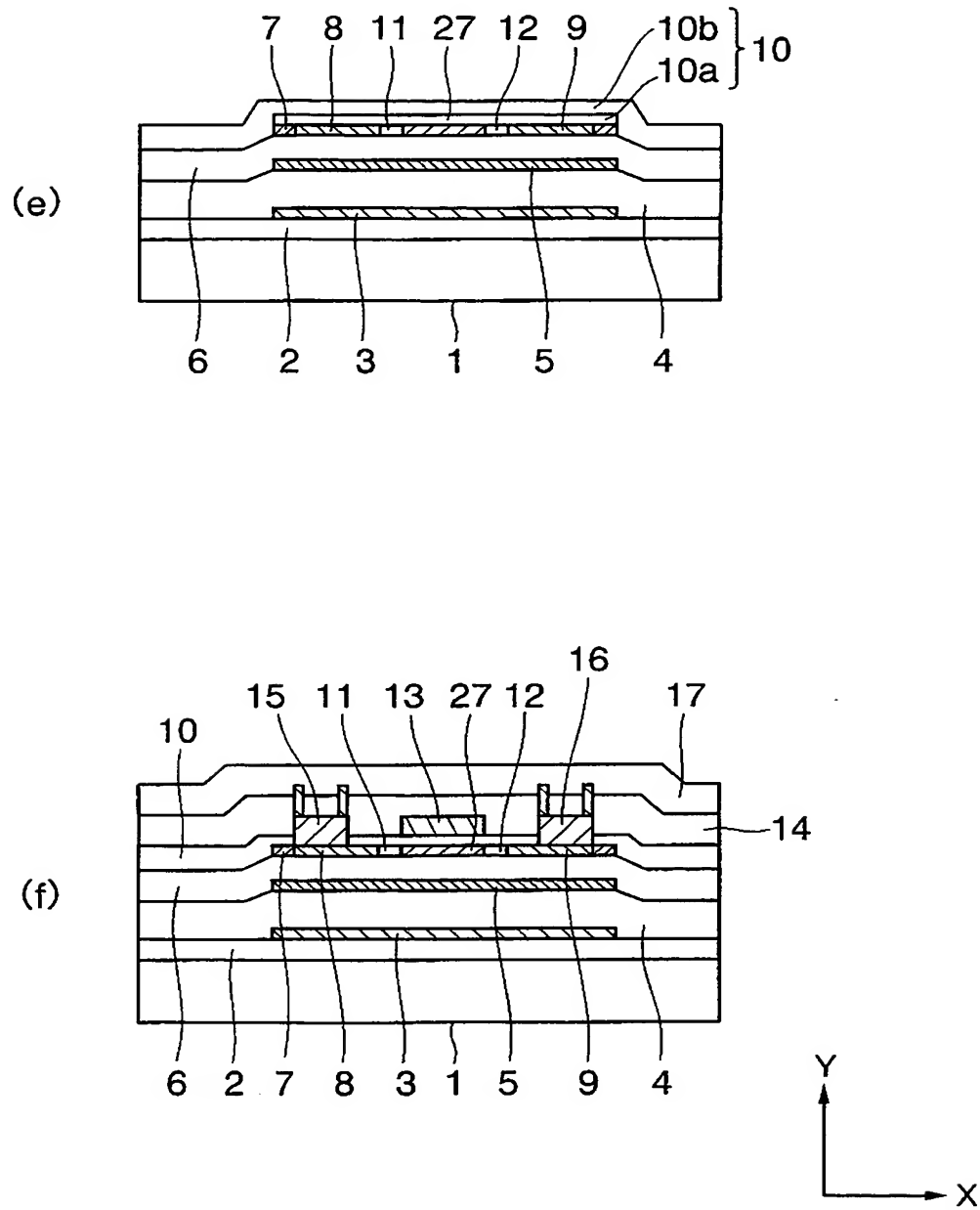




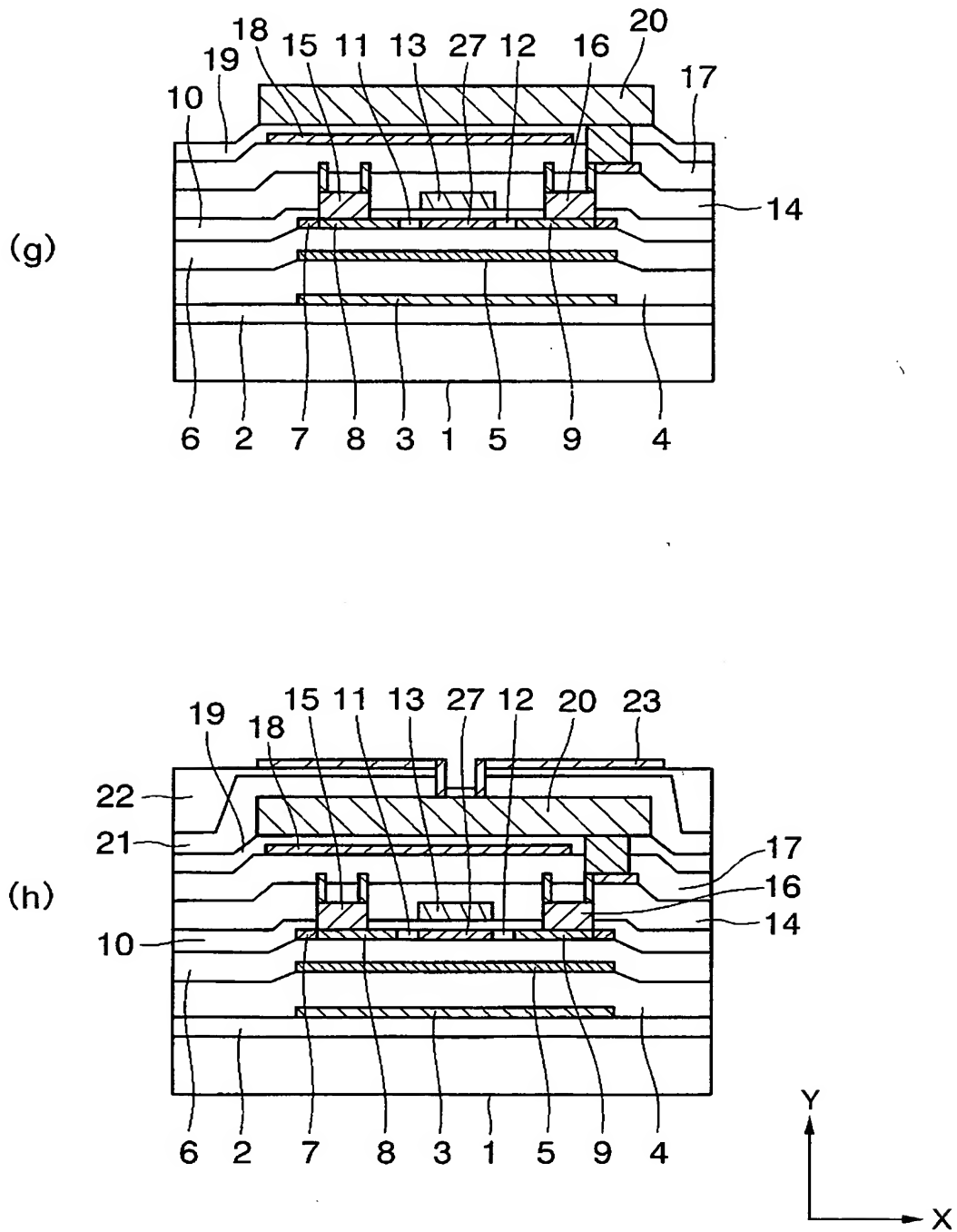
【図 3】



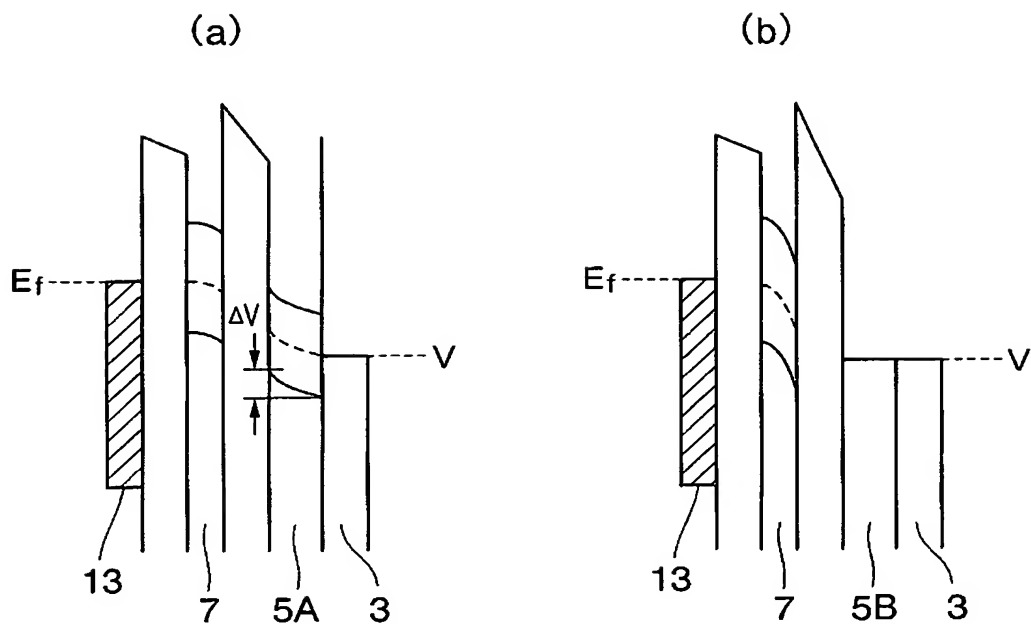
【図 4】



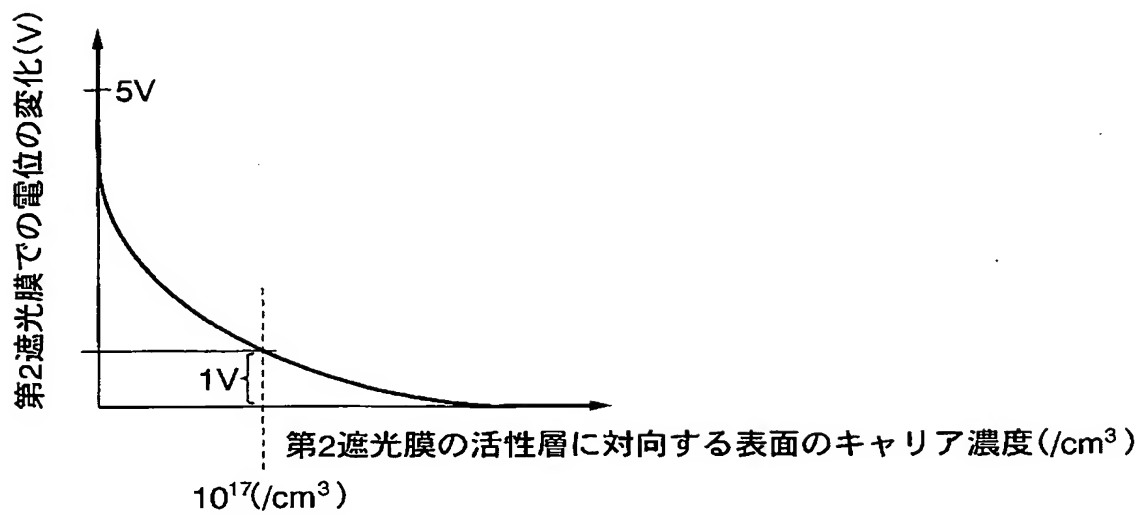
【図 5】



【図 6】

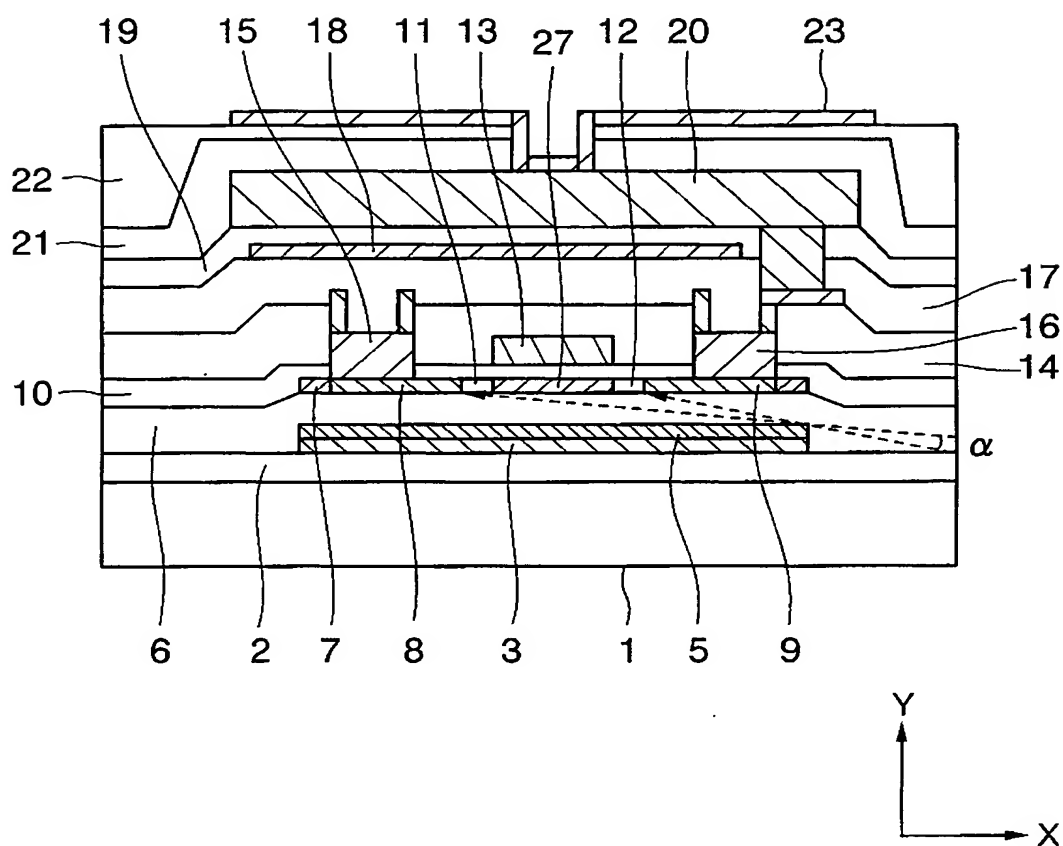


【図 7】

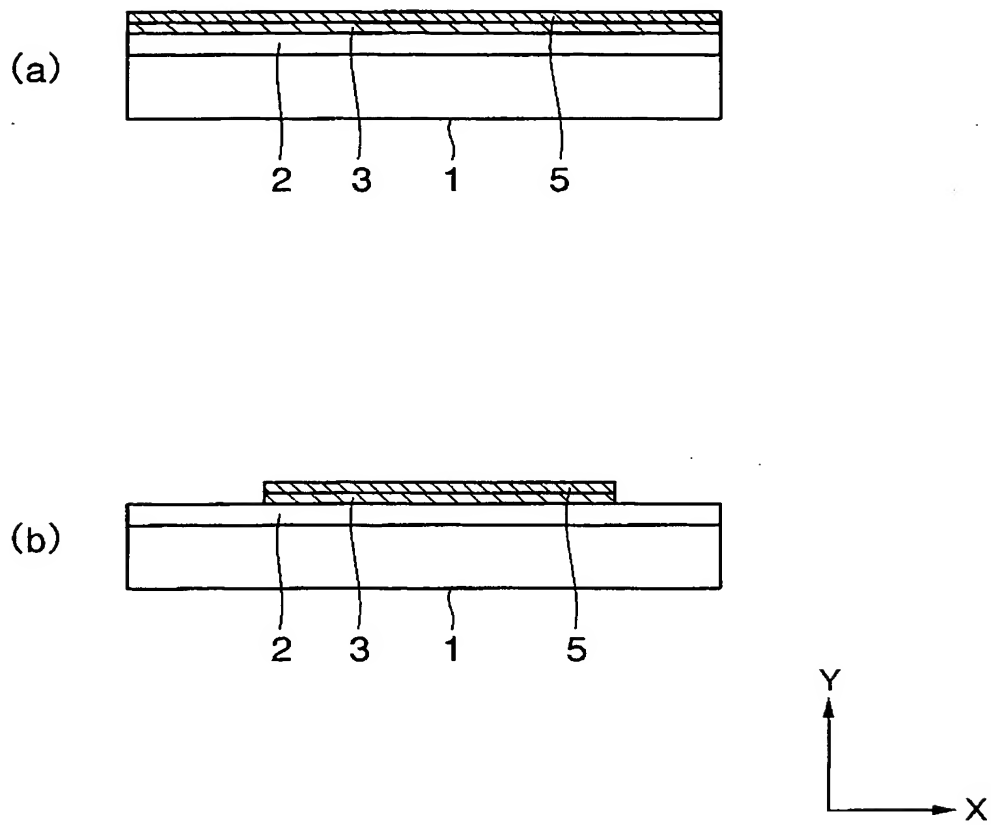


【図 8】

32A

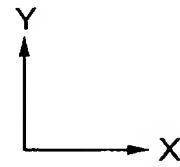
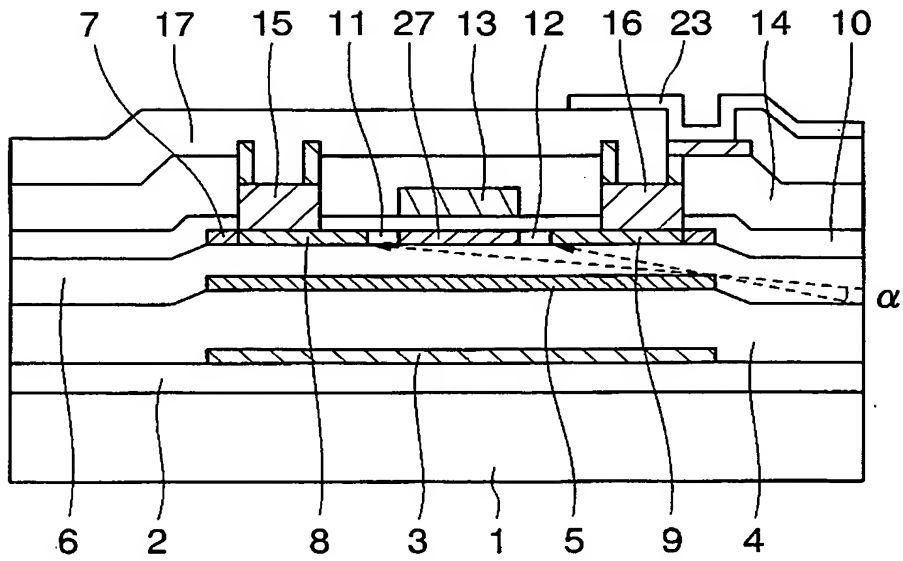


【図 9】

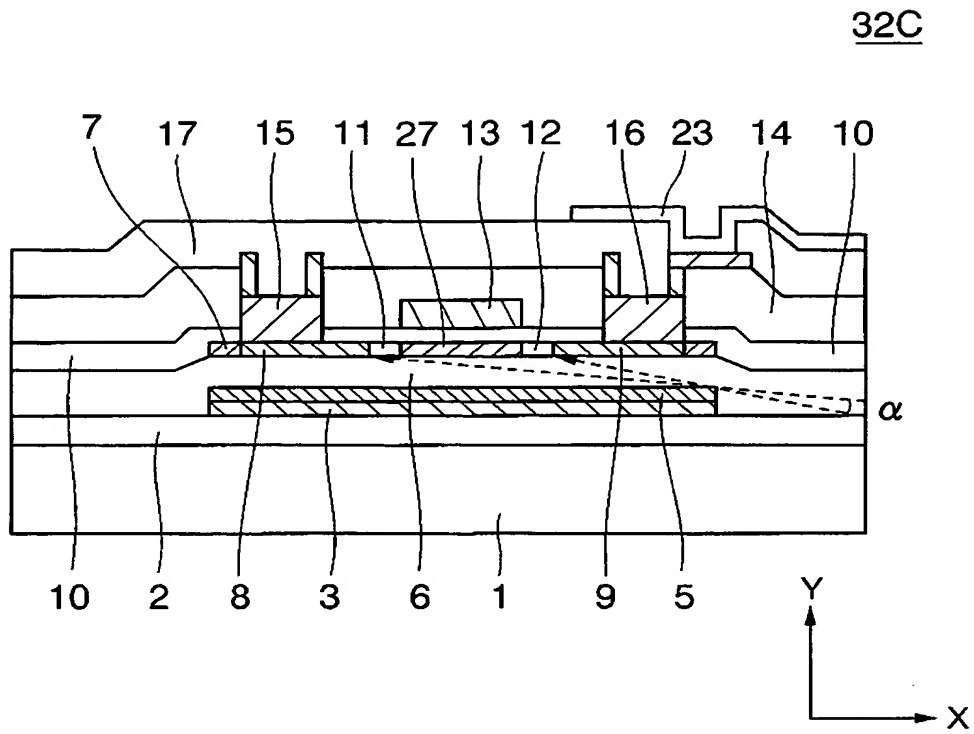


【図 10】

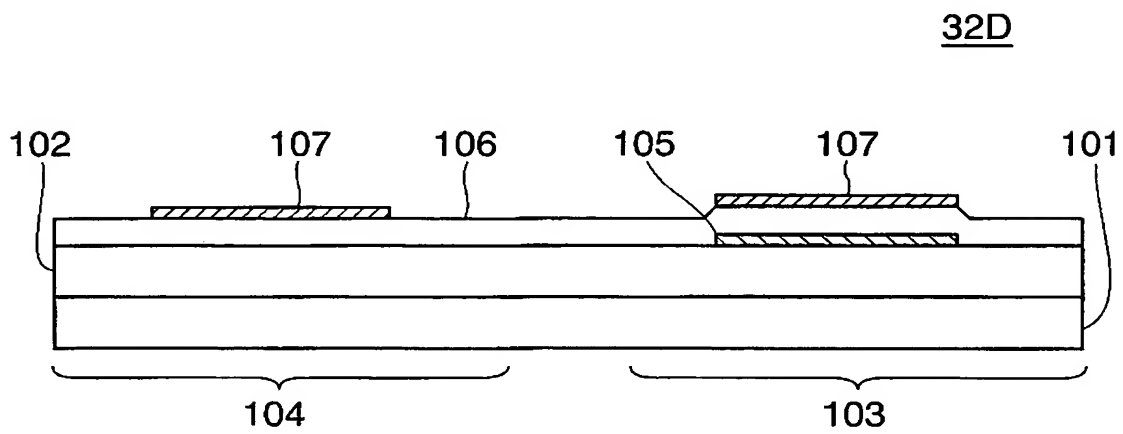
32B



【図 11】

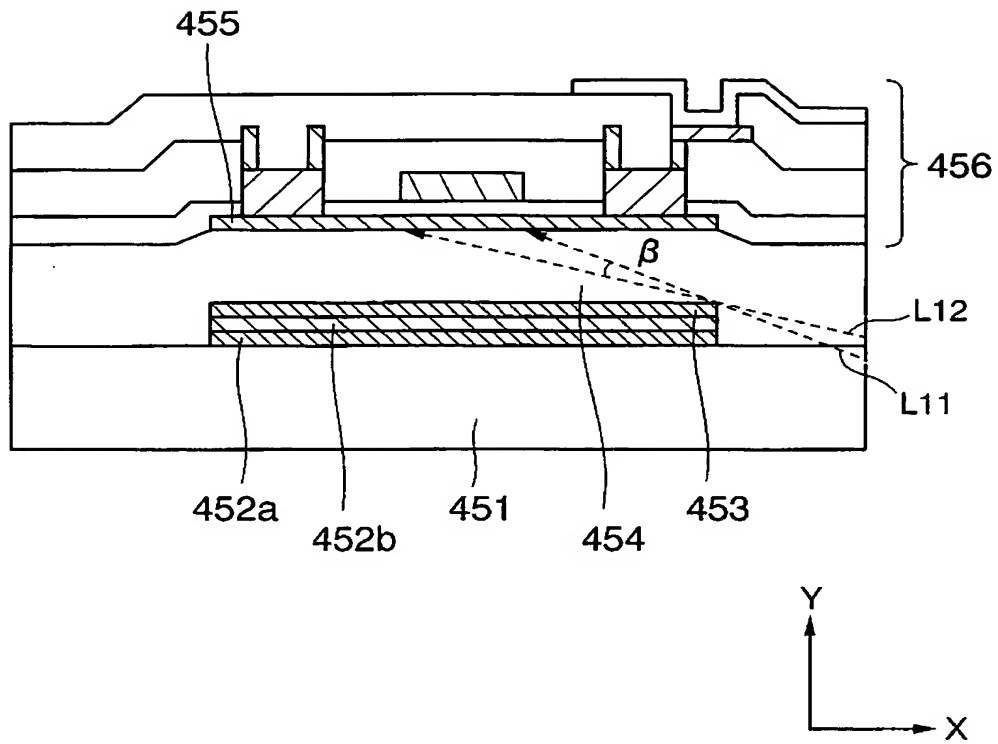


【図 12】





【図 13】



【書類名】 要約書

【要約】

【課題】 光リーク電流を低減しつつ、バックゲート効果によるリーク電流を低減できる薄膜トランジスタを提供する。

【解決手段】 第1遮光膜3は、タンゲステンシリサイド膜からなり、第2遮光膜5は、アモルファスシリコン膜からなり、活性層7に向かう光を遮光する。第2遮光膜5と活性層7との間には、絶縁膜6が150 nmで形成される。第2遮光膜5の、活性層7に対向する表面部分のキャリア濃度は、 $10^{17}/\text{cm}^3$ に設定され、第1遮光膜に印加される電位による電界が、活性層7におよぼす影響を緩和する。

【選択図】 図2

特願 2 0 0 3 - 0 2 4 4 7 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 4 2 3 7 ]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社